

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-91949

(43) 公開日 平成9年(1997)4月4日

(51) Int.Cl.<sup>6</sup>

G 1 1 C 11/14

識別記号

庁内整理番号

F I

G 1 1 C 11/14

技術表示箇所

A

審査請求 未請求 請求項の数5 O L (全 12 頁)

(21) 出願番号 特願平7-244991  
(22) 出願日 平成7年(1995)9月22日

(71) 出願人 000003067  
ティーディーケイ株式会社  
東京都中央区日本橋一丁目13番1号  
(72) 発明者 野口 潔  
東京都中央区日本橋一丁目13番1号ティー  
ディーケイ株式会社内  
(72) 発明者 大池 太郎  
東京都中央区日本橋一丁目13番1号ティー  
ディーケイ株式会社内  
(72) 発明者 佐藤 雄一  
東京都中央区日本橋一丁目13番1号ティー  
ディーケイ株式会社内

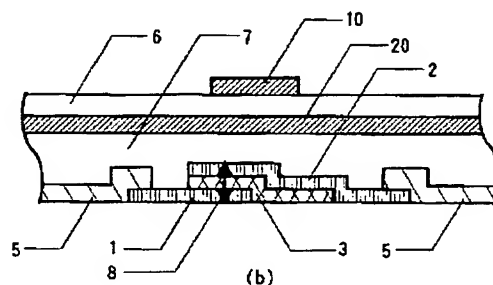
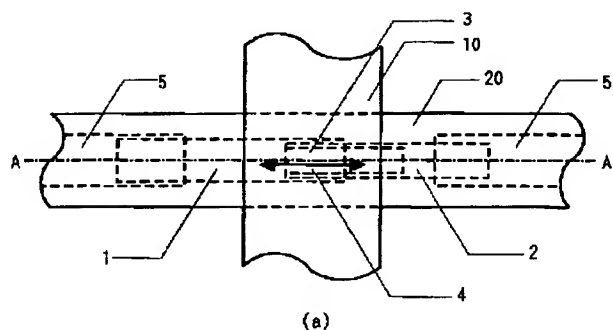
最終頁に続く

(54) 【発明の名称】 磁性薄膜メモリ素子及び磁性薄膜メモリ

(57) 【要約】

【課題】 構造が単純な3層構造からなり、低抵抗でパワーロスが少なく、大容量化が可能な磁性薄膜メモリ素子および磁性薄膜メモリを提供することを目的とする。

【解決手段】 絶縁層を挟んで積層された、磁化容易軸が平行な第1磁性層及び第2磁性層を有し、該第2磁性層の保磁力は、該第1磁性層の保磁力より大きく、該第1磁性層と該第2磁性層との間で、トンネル効果が得られる部分があることを特徴とする磁性薄膜メモリ素子。



## 【特許請求の範囲】

【請求項 1】 絶縁層を挟んで積層された、磁化容易軸が平行な第 1 磁性層及び第 2 磁性層を有し、該第 2 磁性層の保磁力は、該第 1 磁性層の保磁力より大きく、該第 1 磁性層と該第 2 磁性層との間で、トンネル効果が得られる部分があることを特徴とする磁性薄膜メモリ素子。

【請求項 2】 請求項 1 記載の磁性薄膜メモリ素子に於いて、絶縁層の材料としてダイヤモンドライクカーボンを用いたことを特徴とする磁性薄膜メモリ素子。

【請求項 3】 請求項 1 記載の磁性薄膜メモリ素子に於いて、絶縁層の材料としてポリパラキシレンを用いたことを特徴とする磁性薄膜メモリ素子。

【請求項 4】 請求項 1 記載の磁性薄膜メモリ素子に於いて、絶縁層の材料としてアルミニウムを含有する酸化物を用いたことを特徴とする磁性薄膜メモリ素子。

【請求項 5】 請求項 1 乃至 4 記載のいずれかの磁性薄膜メモリ素子が、マトリックス状に配列された記憶素子部分と、縦又は横方向に並べられた前記磁性薄膜素子が、直列に接続された読み出し線と、該読み出し線に平行な方向と垂直な方向に絶縁材を介して設けられた 2 本の書き込み線を有することを特徴とする磁性薄膜メモリ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は磁化方向の違いによって情報を記憶する磁性薄膜メモリにかかり、特に、磁気記録された情報を磁気トンネリング効果により再生する磁性薄膜メモリに関する。

## 【0002】

【従来の技術】 現在、情報処理装置に使用されている不揮発性メモリとしては、フラッシュEEPROMやハードディスク装置などがある。これら不揮発性メモリに於いては、情報処理装置の高速化に伴い、書き込み時間及び読み出し時間の短くすることが、重要な課題になっている。

【0003】 かかる、不揮発性メモリの高速化に有効な技術として、巨大磁気抵抗効果(GMR)を利用した磁性薄膜メモリ素子が知られている。この巨大磁気抵抗効果は、異方性磁気抵抗効果(AMR)を上回る磁気抵抗変化率を示すものであり、AMRと異なり、抵抗値は電流と磁界の角度に依存せず、磁化容易軸が平行な 2 つの磁性層の磁化方向が同一方向の場合、抵抗値が最小になり、逆方向(180° 逆方向)の場合、最大になる現象である。

【0004】 上記巨大磁気抵抗効果を利用した不揮発性メモリでは、非磁性層を挟んで対向する 2 つの磁性層の磁化方向により、情報を記憶する。かかる、巨大磁気抵抗効果を利用した不揮発性メモリとしては、弱い磁界を加えるだけで磁化方向が変化する磁性層に情報を書き込むスピンプバルブ型と、強い磁界を加えなければ磁化方向

が変化しない磁性層に情報を書き込む誘導フェリ型がある。

【0005】 [スピンプバルブ型について] 弱い磁界を加えるだけで磁化方向が変化する磁性層に情報を記憶するものとして、スピンプバルブといわれるものがある。スピンプバルブは磁化方向が固定された磁性層(以下、ピン層という)と、外部磁界で磁化方向が自由に变化する磁性層(以下、フリー層という)を組み合わせた多層膜であり、ピン層とフリーの磁化方向が同一方向の場合と逆方向の場合で抵抗値が異なるという特性を有する。例えば、Phys. Rev. B, 43, 1297(1991)には、磁性層NiFe/非磁性層Cu/磁性層NiFe/反強磁性層FeMnを積層した磁性薄膜の例が示されている。この磁性薄膜に於いては、反強磁性層に隣接した磁性層(ピン層)の磁化方向はNiFe/FeMn界面での交換異方性により固定され、他方の磁性層(フリー層)の磁化方向は適当な外部磁界を加えることにより自由に変えることができる。従って、外部磁界を加えてフリー層の磁化方向だけを変えれば、2 つの磁性層の磁化方向を同一方向又は逆方向にすることができる。

【0006】 このスピンプバルブ膜を利用した磁性薄膜メモリ素子として、USP-5, 343, 422に示されたものが知られている。この磁性薄膜メモリ素子では、2 値の「0」、「1」を、2 つの磁性層の磁化方向が同一方向又は逆方向という 2 つの状態として書き込み、両状態に於ける抵抗値の差異を検出することにより、書き込まれた情報を読み出している。このタイプの場合、上記両状態に於ける抵抗値の差異を読み出す際に、磁性薄膜メモリ素子に電流を流すと共に、外部磁界を加える必要があり、この外部磁界により、書き込まれていた情報(フリー層の磁化方向)が読み出した後に変化することがあり、非破壊で書き込まれている情報を読み出すことが難しかった。

【0007】 [誘導フェリ型について] Jpn. J. Appl. Phys. 33(1994)L1668には、CoPtからなる保磁力の高い硬磁性層(ハード層)とNiFeCoからなる軟磁性層(ソフト層)を非磁性層Cuを介して積層した誘導フェリ型の磁性薄膜の例が示されている。この磁性薄膜では、ハード層とソフト層の磁化方向が同一方向の場合と逆方向の場合に、その抵抗値が変化する。

【0008】 この磁性薄膜を利用した磁性薄膜メモリ素子として、Jpn. J. Appl. Phys. Part2, 34(1994)L415に示されたものが知られている。この磁性薄膜メモリ素子では、ハード層に情報を書き込むため、書き込まれている情報を破壊することなく読み出すことができる。

【0009】 ここで、この磁性薄膜メモリ素子に情報を書き込む場合と読み出す場合について、図12から図14に示した薄膜断面の模式図を参照して説明する。

【0010】 図12は、この磁性薄膜メモリ素子に、情報を書き込む場合を示す。同図に示したように、この磁

性薄膜メモリ素子は、非磁性層 4 3 を介して積層されたソフト層（磁性層）4 1 とハード層（磁性層）4 2 からなる。又、1 0 は外部磁界を発生させる書き込み線であり、書き込み線 1 0 を流れる電流により発生した外部磁界の方向に、ソフト層 4 1 及びハード層 4 2 は磁化される。そして、ハード層 4 2 の 2 つの磁化方向に、2 値の「0」、「1」が割り当てられる

図 1 2 (a) の場合、反時計回りの外部磁界 1 0 a が発生し、その結果、ソフト層 4 1 の磁化方向は 4 1 a、ハード層 4 2 の磁化方向は 4 2 a になり、(b) の場合、時計回りの外部磁界 1 0 b が発生し、その結果、ソフト層 4 1 の磁化方向は 4 1 b、ハード層 4 2 の磁化方向は 4 2 b になる。尚、書き込みの場合は、ソフト層 4 1 だけでなくハード層 4 2 の磁化方向を変えるのに十分な強度の外部磁界を加える必要がある。

【0011】図 1 3 は、図 1 2 (a) に示した反時計回りの外部磁界 1 0 a で書き込まれた情報を、読み出す場合を示す。通常、磁性薄膜メモリ素子に書き込まれた情報を、読み出す場合には図 1 3 (a) に示したような反時計回りの弱い（ソフト層 4 1 の磁化方向だけが変化する磁界強度）外部磁界 1 0 a と、(b) に示したような時計回りの弱い外部磁界 1 0 b が、この順で、磁性薄膜メモリ素子に加えられるように書き込み線 1 0 に電流を流す。この際、磁性薄膜メモリ素子と接続する読み出し線 5 には電流  $I_r$  を流しておく。

【0012】ここで、反時計回りの弱い外部磁界 1 0 a を加えた場合には、ソフト層 4 1 の磁化方向 4 1 a と、ハード層 4 2 の磁化方向 4 2 a が同一方向になり、時計回りの弱い外部磁界 1 0 a を加えた場合には、ソフト層 4 1 の磁化方向 4 1 b と、ハード層 4 2 の磁化方向 4 2 a が逆方向になるため、この外部磁界の変化により、磁性薄膜メモリ素子の抵抗値は、低抵抗から高抵抗に変化する。従って、外部磁界の変化時、磁性薄膜メモリ素子の出力側の電圧  $V$  が降下する。

【0013】図 1 4 は、図 8 (b) に示した時計回りの外部磁界 1 0 b で書き込まれた情報を、読み出す場合を示す。

【0014】ここで、(a) に示したような反時計回りの弱い外部磁界 1 0 a を加えた場合には、ソフト層 4 1 の磁化方向 4 1 a と、ハード層 4 2 の磁化方向 4 2 b が逆方向になり、(b) に示したような時計回りの弱い外部磁界 1 0 a を加えた場合には、ソフト層 4 1 の磁化方向 4 1 b と、ハード層 4 2 の磁化方向 4 2 b が同一方向になるため、この外部磁界の変化により、磁性薄膜メモリ素子の抵抗値は、高抵抗から低抵抗に変化する。従って、外部磁界の変化時、磁性薄膜メモリ素子の出力側の電圧  $V$  が上昇する。

【0015】上述のように、書き込み線 1 0 を流れる電流を変化させるにより、磁性薄膜メモリ素子に加えられる外部磁界を変化させた場合、ハード層 4 2 の磁化方向

により、磁性薄膜メモリ素子の出力側の電圧  $V$  の変動（上昇、又は降下）に差異が生じる。従って、この電圧  $V$  の変動を検出することにより、ハード層 4 2 の磁化方向として記憶されている情報を読み出すことができる。

【0016】

【発明が解決しようとする課題】しかしながら、巨大磁気抵抗効果が得られる磁性薄膜メモリ素子は、層厚 1 0 ~ 2 0 0 Å の非常に薄い磁性層や、Cu などの導電性非磁性層を 4 層以上積層するため構造および作製プロセスが複雑になり、製造コストが高かった。

【0017】又、通常の磁性薄膜メモリでは、メモリ素子がマトリックス状に配置され、縦又は横方向に並ぶメモリ素子が読み出し線により直列に接続されている。このメモリ素子の厚みは数百 Å と非常に薄く、その抵抗値が高いため、磁性薄膜メモリを構成し、読み出し線に電流を流した場合、発熱及び発熱によるパワー損失が大きくなる。従って、素子数を多くしてメモリの容量を大きくすることが難しかった。

【0018】そこで、本発明は、かかる従来の実情に鑑みて提案されたものであって、構造が単純な 3 層構造からなり、低抵抗でパワーロスが少なく、大容量化が可能な磁性薄膜メモリ素子および磁性薄膜メモリを提供することを目的とするものである。

【0019】

【課題を解決するための手段】本発明にかかる磁性薄膜メモリ素子は、絶縁層を挟んで積層された、磁化容易軸が平行な第 1 磁性層及び第 2 磁性層を有し、該第 2 磁性層の保磁力は、該第 1 磁性層の保磁力より大きく、該第 1 磁性層と該第 2 磁性層との間で、トンネル効果が得られる部分があることを特徴とするものである。

【0020】又、本発明にかかる磁性薄膜メモリ素子は、上記第 1 磁性層及び第 2 磁性層に挟まれた絶縁層の材料としてダイヤモンドライクカーボンを用いたことを特徴とするものである。

【0021】又、本発明にかかる磁性薄膜メモリ素子は、上記第 1 磁性層及び第 2 磁性層に挟まれた絶縁層の材料としてポリパラキシレンを用いたことを特徴とするものである。

【0022】又、本発明にかかる磁性薄膜メモリ素子は、上記第 1 磁性層及び第 2 磁性層に挟まれた絶縁層の材料としてアルミニウムを含有する酸化物を用いたことを特徴とするものである。

【0023】又、本発明にかかる磁性薄膜メモリは、上記いずれかの磁性薄膜メモリ素子が、マトリックス状に配列された記憶素子部分と、縦又は横方向に並べられた前記磁性薄膜素子が、直列に接続された読み出し線と、該読み出し線に平行な方向と垂直な方向に絶縁材を介して設けられた 2 本の書き込み線を有することを特徴とするものである。

【0024】

【作用】本発明にかかる磁性薄膜メモリ素子によれば、単純な3層構造により、大きな磁気抵抗変化率(MR変化率)を得ることができる。

【0025】又、トンネル効果によって絶縁層を流れる電流は、絶縁層の層面に垂直な方向に流れるので、磁性薄膜メモリ素子の抵抗を小さくすることができる。

【0026】又、絶縁層の材料として、ダイヤモンドドライカーボン、ポリパラキシリレン又はアルミニウムを主成分とする酸化物を用いた場合には、トンネル効果の得られるトンネル接合を容易に形成することができる。

【0027】又、本発明にかかる磁性薄膜メモリ素子を用いた磁性薄膜メモリによれば、メモリ素子が単純な3層構造であるため、単純な製造工程で、磁性薄膜メモリを製造することができる。

【0028】又、本発明にかかる磁性薄膜メモリ素子を用いた磁性薄膜メモリによれば、素子の抵抗が小さく、磁界を印加しない状態では、素子が低抵抗状態になるので、メモリの大容量化が可能になると共に、低消費電力の磁性薄膜メモリを提供することができる。

【0029】

#### 【実施例】

[本発明にかかる磁性薄膜メモリ素子の構成について]  
本発明に係る磁性薄膜メモリ素子は、第1磁性層と第2磁性層を、絶縁層を介してトンネル接合した3層構造を有し、上記第1磁性層と第2磁性層間に現れる磁気トンネリング効果を利用したものである。一般に、金属や半導体を薄い絶縁層で隔ててポテンシャルバリアを作っても、伝導電子はトンネル効果によりある程度絶縁層を通過する。又、強磁性体金属の電子状態はスピンの依存しているため、上記第1磁性層と第2磁性層間に現れるトンネル効果は、これらの磁性層の磁化方向の相対角度に依存することが知られている(J. Magn. Mater. 98 (1991) L7-L9)。そして、このようなトンネル接合された部分に於ける磁気抵抗効果を、磁気トンネリング効果という。

【0030】又、上記磁気トンネリング効果に寄与する、第1磁性層と第2磁性層の磁化容易軸は平行で、第2磁性層の保磁力は第1磁性層の保磁力より大きい。従って、第1磁性層及び第2磁性層に加える外部磁界の強度を調整することにより、第1磁性層のみ、又は第1磁性層と第2磁性層の双方の磁化方向を変えることができる。

【0031】そして、上記磁気トンネリング効果により第1磁性層と第2磁性層の磁化方向が、同一方向のときに電気抵抗が低くなり、逆方向(180°逆方向)のときに高くなる。従って、外部磁界により第1磁性層のみの磁化方向を一定の順序で変化させた場合(例えば、磁化方向を左方向から右方向に変えた場合)、第2磁性層の磁化方向に応じて、電気抵抗が、低抵抗から高抵抗に、又は高抵抗から低抵抗に変化する。

【0032】ここで、第1磁性層はできるだけ弱い外部磁界で磁化方向が変化する必要があるため、保磁力は小さい方がよく、好ましくは50[Oe]以下、より好ましくは10[Oe]以下である。ここで保磁力の範囲を50[Oe]以下としたのは、50[Oe]より大きいと磁化方向を変えるときに、強い外部磁界を発生させる電流が必要になるため、磁性薄膜メモリを構成したときに発熱やノイズが増加し、誤動作をすることがあるからである。尚、磁性層の保磁力の大きさは、組成、層厚や成膜条件を調整することにより所定の大きさに設定することができるが、層厚は、5~100nmであることが好ましい。5nmより薄いと膜がアイランド状になるため、電気抵抗が高くなり好ましくないからである。又、第1磁性層の材料としては、Fe、NiFe、NiFeCo等を用いることができる。

【0033】一方、第2磁性層の保磁力は、第1磁性層の保磁力より大きくする必要があり、好ましくは50[Oe]以上、より好ましくは100[Oe]以上である。ここで保磁力の範囲を50[Oe]以上としたのは、50[Oe]より小さいと、磁化方向が外部擾乱磁界などの影響で乱され、メモリが破壊されてしまうことがあるからである。尚、第2磁性層の保磁力の大きさも、第1磁性層と同様に、組成、層厚や成膜条件を調整することにより所定の大きさに設定することができ、層厚については、5~100nmであることが好ましい。又、第2磁性層の材料としては、Co、CoFe、CoPt、MnSb等を用いることができる。

【0034】上記第1磁性層と第2磁性層の保磁力の差は20[Oe]以上は必要で、好ましくは50[Oe]以上、より好ましくは100[Oe]以上である。ここで保磁力の差を20[Oe]以上としたのは、保磁力の差が20[Oe]より小さいと、情報を読み出すときに、第1磁性層の磁化方向だけを変化させるために加える外部磁界の許容変動範囲、つまり、この外部磁界を発生させるための電流の許容変動範囲が小さくなるからである。

【0035】又、上記磁気トンネリング効果を得るためには、上記第1磁性層と第2磁性層に挟まれた絶縁層の層厚は、均一に薄くする必要があり、好ましくは1~20nm、より好ましくは1~10nmの範囲である。ここで、絶縁層の層厚の範囲を1~20nmとしたのは、1nmより薄いとピンホールが多くなり均一なポテンシャルバリアが形成されず、20nmより厚いとトンネリング効果が起こらなくなるからである。従って、絶縁層の材料としては、薄い層厚でもピンホールなどの発生が少ない材料が必要とされ、これに適した材料としては、ダイヤモンドドライカーボン(以下、DLCという)、ポリパラキシリレン、アルミニウムを主成分とする酸化物が挙げられるが、DLC、又はポリパラキシリレンを用いることが好ましい。

【0036】[本発明にかかる磁性薄膜メモリ素子の動

作原理について] 本発明にかかる磁性薄膜メモリ素子に情報を書き込む場合と、磁性薄膜メモリ素子から読み出す場合について、図 1 から図 3 に示した薄膜断面の模式図を参照して説明する。

【0037】図 1 は、この磁性薄膜メモリ素子に、情報を書き込む場合を示す。同図に示したように、この磁性薄膜メモリ素子は、絶縁層 3 を介して積層された第 1 磁性層 1 と第 2 磁性層 2 からなる。又、10 は外部磁界を発生させる書き込み線であり、書き込み線 10 を流れる電流により発生した外部磁界の方向に、第 1 磁性層 1 及び第 2 磁性層 2 は磁化される。そして、第 2 磁性層 2 の磁化方向に、2 値の「0」、「1」が割り当てられる。

【0038】図 1 (a) の場合、書き込み線 10 を流れる電流により、反時計回りの外部磁界 10a が発生し、その結果、第 1 磁性層 1 の磁化方向は 1a、第 2 磁性層 2 の磁化方向は 2a になり、(b) の場合、時計回りの外部磁界 10b が発生し、その結果、第 1 磁性層 1 の磁化方向は 1b、第 2 磁性層 2 の磁化方向は 2b になる。尚、書き込みの場合は、第 1 磁性層 1 だけでなく第 2 磁性層 2 の磁化方向を変えるのに十分な強度の外部磁界を加える必要がある。

【0039】図 2 は、図 1 (a) に示した反時計回りの外部磁界 10a で書き込まれた情報を、読み出す場合を示す。通常、磁性薄膜メモリ素子に書き込まれた情報を、読み出す場合には図 2 (a) に示したような反時計回りの弱い(第 1 磁性層 1 の磁化方向だけが変化する磁界強度)外部磁界 10a と、(b) に示したような時計回りの弱い外部磁界 10b が、この順で、磁性薄膜メモリ素子に加えられるように書き込み線 10 に電流を流す。この際、磁性薄膜メモリ素子と接続する読み出し線 30 には電流  $I_r$  を流しておく。

【0040】ここで、反時計回りの弱い外部磁界 10a を加えた場合には、第 1 磁性層 1 の磁化方向 1a と、第 2 磁性層 2 の磁化方向 2a が同一方向になり、時計回りの弱い外部磁界 10a を加えた場合には、第 1 磁性層 1 の磁化方向 1b と、第 2 磁性層 2 の磁化方向 2a が逆方向になるため、この外部磁界の変化により、磁性薄膜メモリ素子の抵抗値は、低抵抗から高抵抗に変化する。従って、外部磁界の変化時、つまり、書き込み線 10 を流れる電流を変化させたときに、磁性薄膜メモリ素子の出力側の電圧 V が降下する。

【0041】図 3 は、図 1 (b) に示した時計回りの外部磁界 10b で書き込まれた情報を、読み出す場合を示す。

【0042】ここで、反時計回りの弱い外部磁界 10a を加えた場合には、第 1 磁性層 1 の磁化方向 1a と、第 2 磁性層 2 の磁化方向 2b が逆方向になり、時計回りの弱い外部磁界 10a を加えた場合には、第 1 磁性層 1 の磁化方向 1b と、第 2 磁性層 2 の磁化方向 2b が同一方向になるため、この外部磁界の変化により、磁性薄膜メ

メモリ素子の抵抗値は、高抵抗から低抵抗に変化する。従って、外部磁界の変化時、磁性薄膜メモリ素子の出力側の電圧 V が上昇する。

【0043】上述のように、書き込み線 10 を流れる電流を変化させるにより、磁性薄膜メモリ素子に加えられる外部磁界を変化させた場合、第 2 磁性層 2 の磁化方向により、磁性薄膜メモリ素子の出力側の電圧 V の変動に差異が生じる。

【0044】尚、外部磁界を取り去ったときに、第 1 磁性層の磁化方向と第 2 磁性層の磁化方向が異なる場合は、第 1 磁性層の磁化方向は、第 1 磁性層より保磁力の大きい第 2 磁性層の磁化方向と同一の方向に戻る。従って、マトリックス状に磁性薄膜メモリ素子を配列して磁性薄膜メモリを構成した場合に、外部磁界を加えていない素子は、全て低抵抗になるため、発熱及び発熱によるパワー損失を小さくすることができる。

【0045】図 4 (a) は、情報を読み出すときに、書き込み線を流れる + 側から - 側に变化する電流(以下、再生パルス電流という)を、(b)、(c) は、(a) に示した再生パルス電流を流したときの磁性薄膜メモリ素子の出力側の電圧 V の変動を示す。ここで、同図の (a) に示したように、書き込み線を流れる電流が + 側から - 側に变化したとき、磁性薄膜メモリ素子に加えられる外部磁界が変化する。つまり、+ 側のとき、図 2、3 に示した反時計回りの磁界が発生し、- 側のとき、図 2、3 に示した時計回りの磁界が発生する。そして、この変化時に磁性薄膜メモリ素子の出力側の電圧 V は、第 2 磁性層の磁化方向に応じて、(b) に示したように上昇するか、又は (c) に示したように降下する。従って、情報を読み出すときには、書き込み線に再生パルス電流を流し、そのときに磁性薄膜メモリ素子の出力側と接続する読み出し線に生じる電圧変動を検出することにより、第 2 磁性層の磁化方向を判断することができる。

【0046】又、情報を読み出すときに、図 4 (d) に示したような + 側の電流だけを流しても第 2 磁性層の磁化方向を判断することができる。この場合、情報を読み出すときに、磁性薄膜メモリ素子には、+ 側の電流による磁界(図 2、3 に示した反時計回りの磁界)だけが印加される。そして、この電流を流したときに磁性薄膜メモリ素子の出力側の電圧 V は、第 2 磁性層の磁化方向に応じて、(e) に示したように変動しないか、又は (c) に示したように変動する(低下する)。従って、電流を流したときに電圧変動が生じるか否かを検出することにより、第 2 磁性層の磁化方向を判断することができる。

【0047】尚、第 2 磁性層の 2 つの磁化方向は、2 値の「0」、「1」に割り当てられているため、第 2 磁性層の磁化方向の設定は、磁性薄膜メモリ素子への情報の書き込みに対応し、第 2 磁性層の磁化方向の検出は、磁性薄膜メモリ素子からの情報の読み出しに対応する。

【0048】[本発明にかかる磁性薄膜メモリについて] 本発明にかかる磁性薄膜メモリについて、図5から図8を参照して説明する。

【0049】図5は、磁性薄膜メモリに於ける1素子部分の平面図(a)とそのAA'断面図(b)を示し、読み出し線5と接続する第1磁性層1と第2磁性層2が、絶縁層3を介して積層されている。ここで、第1磁性層1と第2磁性層2はトンネル接合されていて、第1磁性層1と第2磁性層2が重なり合った部分がトンネル接合部になる。又、第2磁性層2の保磁力は、第1磁性層1の保磁力より大きくしてある。

【0050】尚、本発明の磁性薄膜メモリ素子に於いては、トンネル接合部を流れる読み出し電流は、矢印8に示したように絶縁層3の膜面に垂直な方向に電流が流れるため素子の抵抗が小さくなり、素子の発熱が少なくすることができる。又、サブミクロンオーダーの素子が形成可能となり、メモリを大容量化することができる。

【0051】又、上記磁性薄膜メモリ素子の磁化容易軸4と垂直な方向に、書き込み線10が設けられ、平行な方向に、書き込み補助線20が設けられている。そして、上記磁性薄膜メモリ素子、書き込み線10、書き込み補助線20は絶縁膜7、絶縁膜6で絶縁されている。

【0052】図6は、磁性薄膜メモリの平面図(a)とそのBB'断面図(b)を示し、書き込み線11、12、13と書き込み補助線21、22、23が直交する部分に、磁性薄膜メモリ素子がマトリックス状に配列されている。ここで、磁性薄膜メモリ素子は、読み出し補助線方向に直列に接続され、読み出し線を形成している。例えば、BB'断面に示した部分では、磁性薄膜メモリ素子31、32、33が直列に接続された部分が、読み出し線5になる。

【0053】このように、磁性薄膜メモリ素子がマトリックス状に配列されている場合に、書き込み線に、磁性薄膜メモリ素子の第2磁性層の磁化方向を変化させるのに十分な書き込み電流を流した場合、書き込み電流を流した書き込み線に沿って配列された磁性薄膜メモリの第1磁性層及び第2磁性層は、全て書き込み電流により発生した磁界の方向に磁化されてしまう。つまり、書き込み電流を流した書き込み線に沿って配列された磁性薄膜メモリには、全て書き込みが行われる。従って、磁性薄膜メモリ素子をマトリックス状に配列した場合には、1本の書き込み線を流れる電流だけでは、磁性薄膜メモリ素子の一部の素子の磁化方向だけを所望の磁化方向に向かせること、つまり、一部の素子だけに情報を書き込むことができない。

【0054】ここで、書き込み線と書き込み補助線の双方に電流を流すことにより、マトリックス状に配列された磁性薄膜メモリ素子の一部の素子の磁化方向だけを所望の磁化方向に向かせる場合、つまり、一部の素子だけに情報を書き込む場合について、図7、図8を参照して

説明する。

【0055】図7(a)に於いて、 $I_{w1}$ は書き込み線10を流れる書き込み電流を示し、 $I_w$ は書き込み補助線20を流れる書き込み補助電流を示す。そして、 $H_{w1}$ は、書き込み電流 $I_{w1}$ により発生した書き込み磁界を示し、 $H_w$ は、書き込み補助電流 $I_w$ により発生した書き込み補助磁界を示す。ここで、書き込み磁界 $H_{w1}$ 及び書き込み補助磁界 $H_w$ は、共に磁性薄膜メモリ素子の第2磁性層の保磁力より小さいため、一方の磁界だけでは、第2磁性層の磁化方向を変えることができない。しかし、書き込み磁界 $H_{w1}$ と書き込み補助磁界 $H_w$ の合成磁界 $H1$ は、第2磁性層の保磁力より大きいため、書き込み電流 $I_{w1}$ と書き込み補助電流 $I_w$ の双方を流した場合には、第2磁性層の磁化方向を変えることができる。

【0056】図7(b)は、書き込み磁界 $H_{w1}$ 、書き込み補助磁界 $H_w$ 、合成磁界 $H1$ 及び第2磁性層2の磁化容易軸4を示す。ここで、合成磁界 $H1$ は、第2磁性層2の保磁力より大きいため、第2磁性層2は、合成磁界 $H1$ により磁化され、その磁化方向 $B1$ は、合成磁界 $H1$ の磁化容易軸4に平行な成分の方向になる。尚、書き込み電流 $I_{w1}$ により発生する書き込み磁界 $H_{w1}$ は、第2磁性層2の磁化容易軸4にほぼ平行で、書き込み補助電流 $I_w$ により発生する書き込み補助磁界 $H_w$ は、第2磁性層2の磁化容易軸4にほぼ垂直なので、磁化方向 $B1$ は、書き込み磁界 $H_{w1}$ つまり書き込み電流 $I_{w1}$ により決まる。

【0057】図8(a)は、図7の書き込み電流 $I_{w1}$ と逆の方向に書き込み電流 $I_{w2}$ を流している。従って、発生する書き込み磁界 $H_{w2}$ の方向も図7の書き込み磁界 $H_{w1}$ と逆の方向になる。従って、(b)に示したように第2磁性層の磁化方向 $B2$ も図7の磁化方向 $B1$ と逆の方向になる。

【0058】上述のように、マトリックス状に、磁性薄膜メモリ素子を配列した場合には、磁化方向を変化させたい磁性薄膜メモリ素子の部分を通る書き込み線及び書き込み補助線だけに電流を流すことにより、その部分の磁性薄膜メモリ素子の磁化方向だけを変えることができる。又、磁性薄膜メモリ素子の磁化方向は、書き込み線を流れる電流の方向により、所望の方向に向けることができる。

【0059】一方、マトリックス状に配列された磁性薄膜メモリ素子に、書き込まれた情報を読み出す場合には、読み出したい磁性薄膜メモリ素子が接続された読み出し線に読み出し電流を流すと共に、その磁性薄膜メモリ素子の部分を通る書き込み線に再生パルス電流を流し、再生パルス電流を流したときの、読み出し線の電圧変動を検出することにより、書き込まれた情報である第2磁性層の磁化方向を判別することができる。

【0060】(実施例1) 保磁力の小さい第1磁性層1



としてFe、保磁力の大きい第2磁性層2としてCo、絶縁層3としてDLCを用い、Fe(50nm)/DLC(2nm)/Co(50nm)の強磁性トンネル接合と磁性薄膜メモリ素子を作製した。図9は、強磁性トンネル接合9の磁気抵抗曲線を調べるために作製した試料の斜視図(a)と平面模式図(b)を示す。尚、磁気抵抗曲線は直流4端子法で印加磁場500[Oe]のもとで測定した。また、10mm角の大きさのFe/DLC/Co3層膜も作製し、VSMで磁化曲線を調べた。

【0061】以下に、強磁性トンネル接合を形成する工程を説明する。

【0062】まず、ガラス基板上にDCスパッタ法により以下に示す成膜条件でFe層を層厚50nmで形成した。

【0063】

到達圧力	$5 \times 10^{-5}$ Pa
Arガス	10 SCCM
成膜圧力	0.5 Pa
投入パワー	100 W
成膜レート	0.5 nm/sec

こうして得られたFe層を、微細加工技術を用いて1mm×10mmの長方形にパターニングし、第1磁性層1とした。

【0064】次に、第1磁性層1の上にプラズマCVD法により以下に示す成膜条件でDLC膜を膜厚2nmで形成した。

【0065】

到達圧力	$3 \times 10^{-3}$ Pa
エチレングス	10 SCCM
成膜圧力	3 Pa
投入パワー	100 W
成膜レート	10 nm/min

こうして得られたDLC膜を、φ3mmに微細加工し、絶縁層3とした。

【0066】続いて、これを再度DCスパッタ装置に移し、以下の成膜条件でCo層を層厚50nmで形成した。

【0067】

到達圧力	$5 \times 10^{-5}$ Pa
Arガス	10 SCCM
成膜圧力	0.5 Pa
投入パワー	100 W
成膜レート	0.5 nm/sec

こうして得られたCo層を、第1磁性層と同様に微細加工技術により1mm×10mmのストライプ状にパターニングし、接合面積が1mm×1mmのFe/DLC/Coの強磁性トンネル接合9を形成し、磁気抵抗曲線を調べた。

【0068】又、同様の方法で10mm×10mmのトンネル接合を形成し、磁化曲線も調べた。その結果、図10に示した磁気抵抗曲線と、図11に示したVSMによる磁化曲線が得られた。ここで、図10に示したMR変化

率は $(\Delta R/R) \times 100$ (R:抵抗値、 $\Delta R$ :抵抗値の変化量)で与えられ、本実施例の試料では、印加磁場100[Oe]以下で12%のMR変化率が得られた。

【0069】このFe/DLC/Co強磁性トンネル接合を用いて図5に示したような磁性薄膜メモリ素子を、以下のような工程で作製した。

【0070】まず、ガラス基板上的読み出し線を形成する方向に500[Oe]の磁場を印加しながらFe層を層厚50nmで形成した後、微細加工技術を用いて2μm×10μmの長方形にパターニングし、第1磁性層1とした。このように、磁場を印加しながら成膜することにより、形成された磁性層の磁化容易軸が、印加した磁場の方向に平行になる。

【0071】次に、第1磁性層1の上にダイヤモンドライクカーボン(DLC)膜を膜厚2nm形成し、微細加工し、絶縁層3とした。

【0072】続いて、再度これをDCスパッタ装置に移し、Fe層の場合と同様の磁場を印加しながら、Co層を層厚50nmで形成した後、微細加工技術により1μm×10μmのストライプ状にパターニングし、第2磁性層2とした。以上の工程により接合面積が1μm×3μmのFe/DLC/Coのトンネル接合を形成した。

【0073】次に、第1磁性層1及び第2磁性層2に接続するようにCr(5nm)/Au(200nm)/Cr(5nm)膜を読み出し線5として形成した。

【0074】続いて、アルミナからなる絶縁膜7をRFスパッタ法で膜厚200nm形成した後、再度Cr(5nm)/Au(200nm)/Cr(5nm)膜を成膜し、トンネル接合部の上部に読み出し線5と平行な方向に帯状にパターニングして書き込み補助線20を形成した。更に、同様な方法で、膜厚200nmのアルミナからなる絶縁膜6と書き込み補助線20と直角する方向に帯状にパターニングされた書き込み線10を形成し、磁性薄膜メモリ素子とした。

【0075】こうして得られた磁性薄膜メモリの動作確認を行ったところ、書き込みと読み出しを正常に行うことができた。つまり、書き込み時には、書き込み電流によって発生した磁界の方向に、磁性薄膜メモリ素子の第1磁性層1及び第2磁性層2が磁化し、読み出し時には、再生パルス電流を流すことにより、読み出し線から所望の電圧変動を得ることができた。

【0076】(実施例2)実施例1と同様の方法で、表1に記載の膜構成の強磁性トンネル接合を作製し、磁気抵抗曲線を調べ、得られた磁気抵抗変化率を表1に示した。同表に示したように、いずれの試料についても5〜25%のMR変化率が得られることを確認できた。

【0077】次に、これらの強磁性トンネル接合を用いた磁性薄膜メモリ素子を作製し、実施例1と同様に動作確認を行ったところ、書き込みと読み出しを正常に行うことができた。

【0078】比較試料についても同様の方法で、表1に記載の膜構成でダイヤモンドライクカーボン膜を絶縁層とした強磁性トンネル接合を作製し、磁気抵抗曲線を調べ、得られた磁気抵抗変化率を表1に示した。同表に示したように、いずれの比較試料も0.1～0.2%のMR変化率しか得られなかった。この理由としては、絶縁層厚が1nmと薄い場合は均一な絶縁層が形成されないためピンホールが多くなり、2つの磁性層間で電気的なブ

サンプル	第1磁性層	第1磁性層厚 (nm)	第2磁性層	第2磁性層厚 (nm)	絶縁層	絶縁層厚 (nm)	MR変化率 (%)
試料1	Fe	50	Co	50	DLC	2	12
試料2	Ni <sub>80</sub> Fe <sub>20</sub>	10	Co	20	DLC	5	5
試料3	Fe <sub>50</sub> Co <sub>50</sub>	80	Co	5	DLC	3	15
試料4	Ni <sub>80</sub> Fe <sub>20</sub>	5	Fe <sub>50</sub> Co <sub>50</sub>	10	DLC	10	7
試料5	Fe	50	Fe <sub>50</sub> Co <sub>50</sub>	50	DLC	6	28
比較試料1	Fe	5	Co	5	DLC	1	0.2
比較試料2	Ni <sub>80</sub> Fe <sub>20</sub>	10	Co	20	DLC	30	0.1

【0081】(実施例3) 実施例1と同様の方法で、表2に記載の膜構成で、ポリパラキシリレンを絶縁層とした強磁性トンネル接合を作製し、磁気抵抗曲線を調べ、得られた磁気抵抗変化率を表2に示した。同表に示したように、いずれの試料についても6～13%のMR変化率が得られることが確認できた。

【0082】尚、ここでは、ポリパラキシリレン膜は以下の方法で作製した。まず、原料のジパラキシリレンを真空中で約150℃で気化したのち、炉の中で600℃で熱分解し、成膜室で反応圧力20mTorrでポリパラキシリレン膜を作製した。ポリパラキシリレンとしてユニオンカーバイド社のパリレンNおよびパリレンCを、成膜速度は10nm/minで成膜した。

【0083】次に、これらの強磁性トンネル接合を用いた磁性薄膜メモリ素子を作製し、実施例1と同様に動作確認を行ったところ、書き込みと読み出しを正常に行うことができた。

※

サンプル	第1磁性層	第1磁性層厚 (nm)	第2磁性層	第2磁性層厚 (nm)	絶縁層	絶縁層厚 (nm)	MR変化率 (%)
試料6	Fe <sub>50</sub> Co <sub>50</sub>	20	Co	30	γ-リリ/N	15	13
試料7	Ni <sub>66</sub> Fe <sub>16</sub> Co <sub>18</sub>	10	Fe <sub>50</sub> Co <sub>50</sub>	10	γ-リリ/N	7	9
試料8	Ni <sub>80</sub> Fe <sub>20</sub>	20	Fe <sub>50</sub> Co <sub>50</sub>	20	γ-リリ/C	10	6
試料9	Ni <sub>66</sub> Fe <sub>16</sub> Co <sub>18</sub>	10	Co	30	γ-リリ/C	7	7
比較試料3	Fe <sub>50</sub> Co <sub>50</sub>	20	Co	30	γ-リリ/N	25	0.3
比較試料4	Ni <sub>66</sub> Fe <sub>16</sub> Co <sub>18</sub>	10	Co	30	γ-リリ/C	1	0.1

【0087】(実施例4) 実施例1と同様の方法で、表3に記載の膜構成で、Al<sub>2</sub>O<sub>3</sub>を絶縁層とした強磁性トンネル接合を作製し、磁気抵抗曲線を調べ、得られた磁気抵抗変化率を表3に示した。同表に示したように、いずれの試料についても13～20%のMR変化率が得られることが確認できた。

【0088】尚、ここでは、Al<sub>2</sub>O<sub>3</sub>絶縁層はAl金属膜をスパッタ法で作製したのち、大気中で24時間自

\*リッジが形成されてしまうためと考えられる。また、絶縁層厚が30nmと厚い場合はトンネル電流が散乱されてしまうためと考えられる。

【0079】次に、比較試料の強磁性トンネル接合を用いた磁性薄膜メモリ素子を作製し、上記試料と同様に動作確認を行ったところ、正常に動作しなかった。

【0080】

【表1】

※【0084】比較試料についても同様の方法で、表2に記載の膜構成でポリパラキシリレンまたはポロモノクロパラキシリレンを絶縁層とした強磁性トンネル接合を作製し、磁気抵抗曲線を調べ、得られた磁気抵抗変化率を表2に示した。同表に示したように、いずれの比較試料も0.1～0.3%のMR変化率しか得られなかった。この理由としては、絶縁層厚が1nmと薄い場合は均一な絶縁層が形成されないためピンホールが多くなり、2つの磁性層間で電気的なブリッジが形成されてしまうためと考えられる。また、絶縁層厚が25nmと厚い場合はトンネル電流が散乱されてしまうためと考えられる。

【0085】次に、比較試料の強磁性トンネル接合を用いた磁性薄膜メモリ素子を作製し、上記試料と同様に動作確認を行ったところ、正常に動作しなかった。

【0086】

【表2】

然酸化させ、形成した。

【0089】次に、これらの強磁性トンネル接合を用いた磁性薄膜メモリ素子を作製し、実施例1と同様に動作確認を行ったところ、書き込みと読み出しを正常に行うことができた。

【0090】比較試料についても同様の方法で、表3に記載の膜構成でAl<sub>2</sub>O<sub>3</sub>を絶縁層とした強磁性トンネル接合を作製し、磁気抵抗曲線を調べ、得られた磁気抵



抗変化率を表3に示した。同表に示したように、比較試料では0.2%のMR変化率しか得られなかった。この理由としては、絶縁層が1nmと薄いためピンホールが多くなり、上下の磁性層間で電氣的にブリッジができるためと考えられる。

サンプル	第1磁性層	第1磁性層厚 (nm)	第2磁性層	第2磁性層厚 (nm)	絶縁層	絶縁層厚 (nm)	MR変化率 (%)
試料10	Fe <sub>50</sub> Co <sub>50</sub>	20	Co	40	Al <sub>2</sub> O <sub>3</sub>	3	13
試料11	Fe <sub>50</sub> Co <sub>50</sub>	50	Fe	40	Al <sub>2</sub> O <sub>3</sub>	3	20
比較試料5	Fe <sub>50</sub> Co <sub>50</sub>	20	Co	40	Al <sub>2</sub> O <sub>3</sub>	1	0.2

【0093】又、実施例1〜3で作製した磁性薄膜メモリ素子の抵抗を調べた結果、1〜5Ωと非常に低かった。この値は同じ大きさのスピナルバルブ構造GMRメモリ素子の抵抗の1/10以下と低い。

【0094】以上から明瞭のように、本発明によれば、非常に単純な、磁性層／絶縁層／磁性層の3層構造を有し、かつ低抵抗な磁性薄膜メモリ素子を提供することができる。

【0095】

【発明の効果】本発明にかかる磁性薄膜メモリ素子は、以上で説明したように、単純な3層構造で大きなMR変化率を得ることができるため、低コストで磁性薄膜メモリ素子を形成することができる。

【0096】又、磁性薄膜メモリ素子の抵抗を小さくし、素子に於ける発熱を少なくすることができる。

【0097】又、絶縁層の材料として、ダイヤモンドライクカーボン、ポリパラキシリレン又はアルミニウムを主成分とする酸化物を用いた場合には、トンネル効果の得られるトンネル接合を容易に形成することができる。

【0098】又、非常に薄い磁性層や導電非磁性層等を形成することなく、単純な製造工程だけで、磁性薄膜メモリを製造することができるので、製造歩留を向上させることができる。

【0099】又、本発明にかかる磁性薄膜メモリ素子は抵抗が小さく、磁界を印加しない状態では、低抵抗状態になるので、メモリの大容量化が可能になると共に、低消費電力の磁性薄膜メモリを提供することができる。

【図面の簡単な説明】

【図1】本発明にかかる磁性薄膜メモリ素子に対する書き込み操作を説明するための断面図である。

【図2】本発明にかかる磁性薄膜メモリ素子に対する読み出し操作を説明するための断面図である。

【図3】本発明にかかる磁性薄膜メモリ素子に対する読

【0091】次に、比較試料の強磁性トンネル接合を用いた磁性薄膜メモリ素子を作製し、上記試料と同様に動作確認を行ったところ、正常に動作しなかった。

【0092】

【表3】

み出し操作を説明するための断面図である。

【図4】再生パルス電流の電流波形と再生パルス電流により読み出し線に生じる電圧変動を示した波形図である。

【図5】本発明にかかる磁性薄膜メモリ素子の構造を示した、平面図と断面図である。

【図6】本発明にかかる磁性薄膜メモリの構成を示した、平面図と断面図である。

20 【図7】本発明にかかる磁性薄膜メモリを構成する素子に対する書き込み操作を説明するための説明図である。

【図8】本発明にかかる磁性薄膜メモリを構成する素子に対する書き込み操作を説明するための説明図である。

【図9】トンネル接合の試料を示した斜視図と平面図である。

【図10】実施例1のトンネル接合に於ける磁気抵抗曲線を示したグラフである。

【図11】実施例1のトンネル接合に於ける磁化曲線を示したグラフである。

30 【図12】従来の磁性薄膜メモリ素子に対する書き込み操作を説明するための断面図である。

【図13】従来の磁性薄膜メモリ素子に対する読み出し操作を説明するための断面図である。

【図14】従来の磁性薄膜メモリ素子に対する読み出し操作を説明するための断面図である。

【符号の説明】

1 第1磁性層

2 第2磁性層

3 絶縁層

4 磁化容易軸

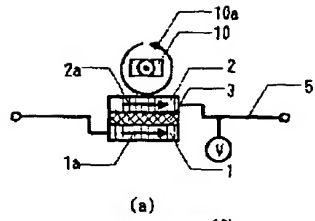
5 読み出し線

6、7 絶縁膜

10、11、12、13 書き込み線

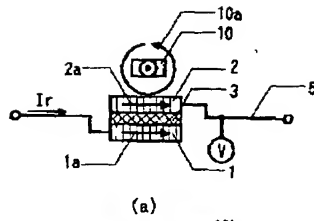
20、21、22、23 書き込み補助線

【図 1】



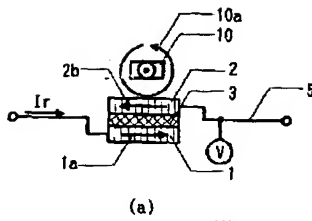
(a)

【図 2】



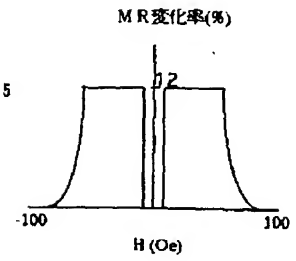
(a)

【図 3】

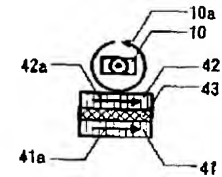


(a)

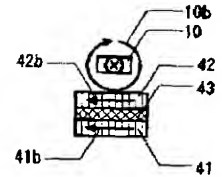
【図 10】



【図 12】

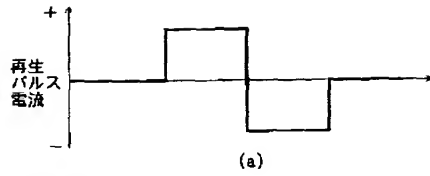


(a)

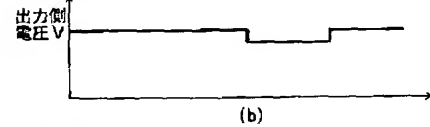


(b)

【図 4】



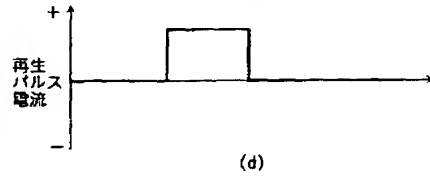
(a)



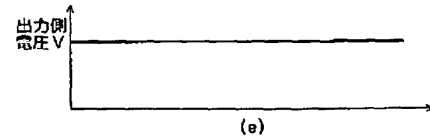
(b)



(c)



(d)

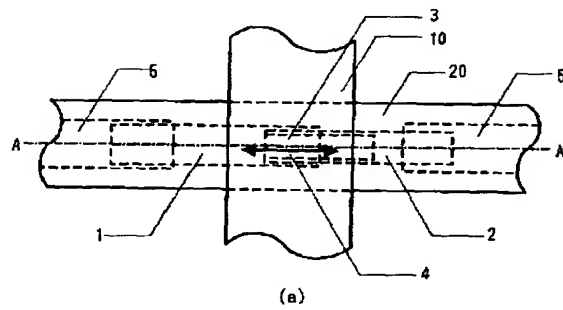


(e)

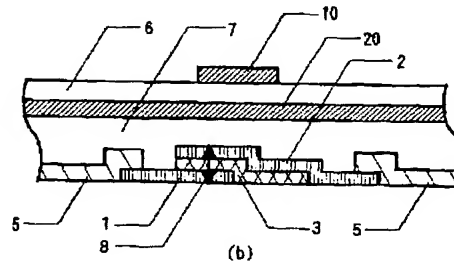


(f)

【図 5】

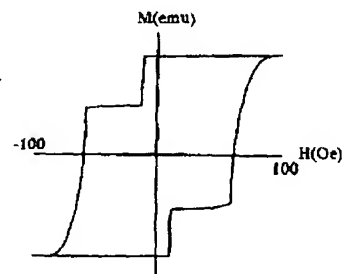


(a)

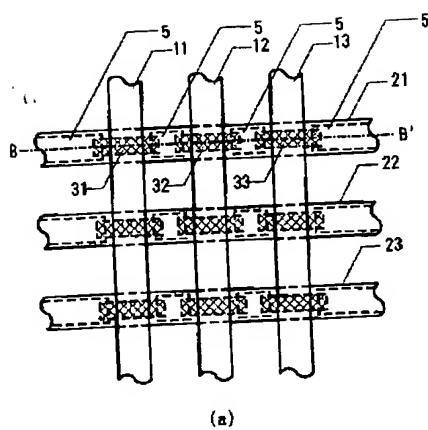


(b)

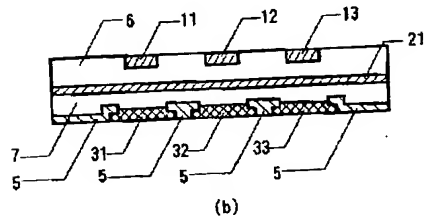
【図 11】



【図6】

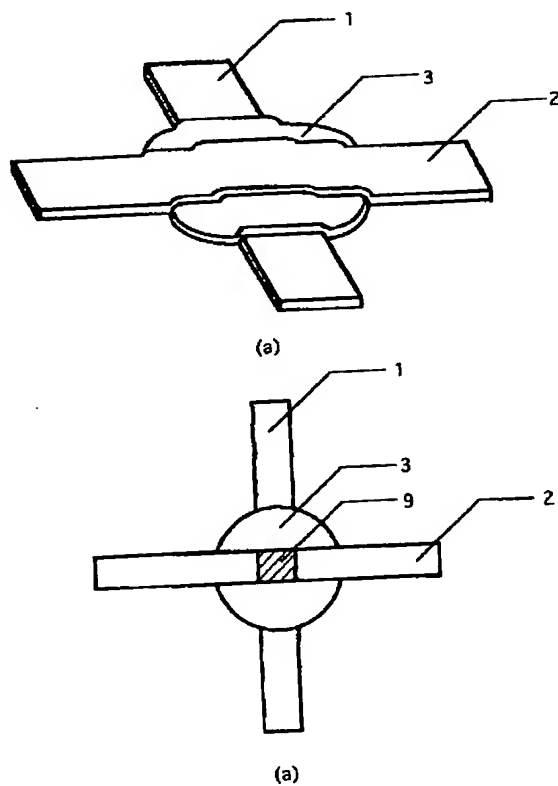


(a)

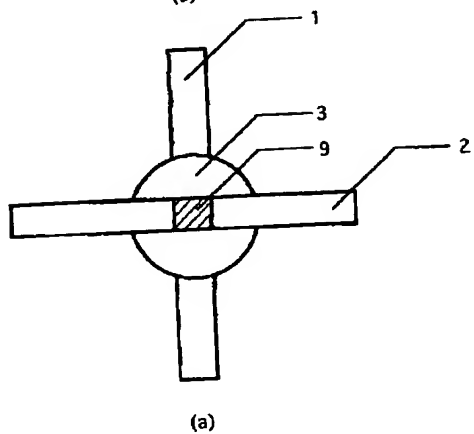


(b)

【図9】

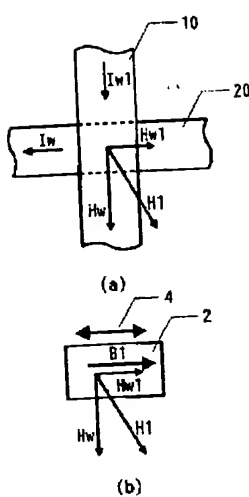


(a)

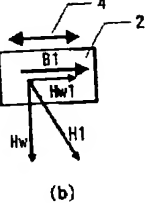


(a)

【図7】

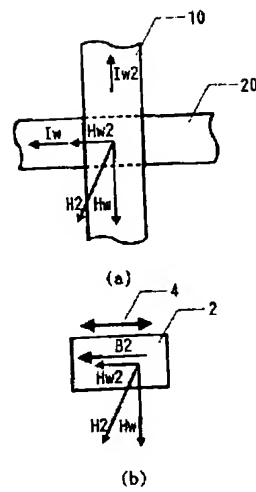


(a)

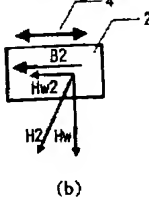


(b)

【図8】

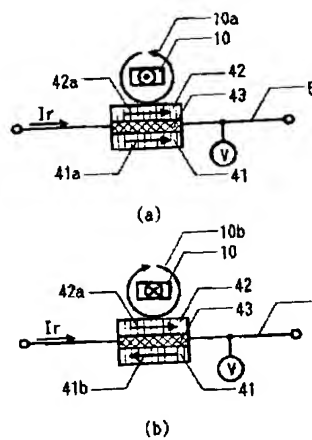


(a)

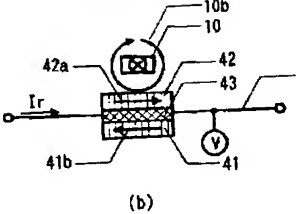


(b)

【図13】

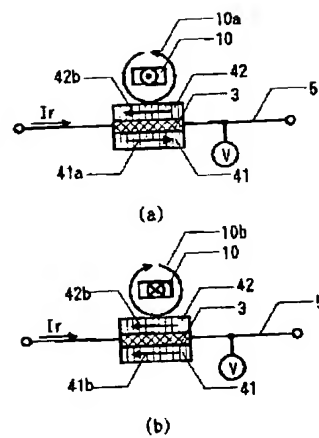


(a)

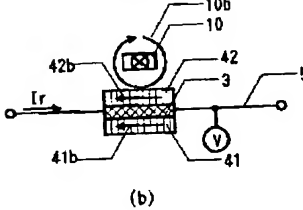


(b)

【図14】



(a)



(b)

フロントページの続き

(72)発明者 荒木 悟  
東京都中央区日本橋一丁目13番1号ティー  
ディーケイ株式会社内

(72)発明者 篠浦 治  
東京都中央区日本橋一丁目13番1号ティー  
ディーケイ株式会社内

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 4 区分  
 【発行日】平成 13 年 7 月 6 日 (2001. 7. 6)

【公開番号】特開平 9 - 9 1 9 4 9  
 【公開日】平成 9 年 4 月 4 日 (1997. 4. 4)  
 【年通号数】公開特許公報 9 - 9 2 0  
 【出願番号】特願平 7 - 2 4 4 9 9 1  
 【国際特許分類第 7 版】

G11C 11/14

【F I】

G11C 11/14 A

【手続補正書】

【提出日】平成 12 年 5 月 24 日 (2000. 5. 24)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】絶縁層を挟んで積層された、磁化容易軸が平行な第 1 磁性層及び第 2 磁性層を有し、該第 2 磁性層の保持力は、該第 1 磁性層の保持力より大きく、該第 1 磁性層と該第 2 磁性層との間で、トンネル効果が得られる部分があることを特徴とする磁性薄膜メモリ素子。

【請求項 2】請求項 1 記載の磁性薄膜メモリ素子に於いて、前記第 1 磁性層と前記第 2 磁性層の保持力の差は  $200\text{e}$  以上であることを特徴とする磁性薄膜メモリ素子。

【請求項 3】請求項 1 または 2 記載の磁性薄膜メモリ素子に於いて、更に、情報を書き込むための書き込み線と、書き込まれた情報を読み出すための読み出し線とを有することを特徴とする磁性薄膜メモリ素子。

【請求項 4】請求項 1 または 2 記載の磁性薄膜メモリ素子がマトリックス状に配列されて構成された記憶素子部分と、  
 一方向に並べられた前記磁性薄膜メモリ素子を直列に接続する読み出し線と、  
 それぞれ前記読み出し線に平行な方向と垂直な方向に配置され、互いに絶縁された状態で設けられた 2 本の書き込み線とを有することを特徴とする磁性薄膜メモリ。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】又、本発明にかかる磁性薄膜メモリ素子は、上記第 1 磁性層と上記第 2 磁性層の保持力の差は  $200\text{e}$  以上であることを特徴とするものである。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】又、本発明にかかる磁性薄膜メモリ素子は、更に、情報を書き込むための書き込み線と、書き込まれた情報を読み出すための読み出し線とを有することを特徴とするものである。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】削除

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正内容】

【0023】又、本発明にかかる磁性薄膜メモリは、本発明にかかる磁性薄膜メモリ素子がマトリックス状に配列されて構成された記憶素子部分と、一方向に並べられた前記磁性薄膜メモリ素子を直列に接続する読み出し線と、それぞれ前記読み出し線に平行な方向と垂直な方向に配置され、互いに絶縁された状態で設けられた 2 本の書き込み線とを有することを特徴とするものである。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

【補正内容】

【0052】図 6 は、薄膜磁性メモリの平面図 (a) と、その BB' 断面図 (b) を示し、書き込み線 11、12、13 と書き込み補助線 21、22、23 が直交する部分に、磁性薄膜メモリ素子がマトリックス状に配列されている。ここで、書き込み補助線方向に並べられた

磁性薄膜メモリ素子は、読み出し線 5 を介して直列に接続されている。例えば、B B ' 断面に示した部分では、

磁性薄膜メモリ素子 3 1、3 2、3 3 を直列に接続する部分が読み出し線 5 になる。